

⑫ 公開特許公報(A) 平2-1669

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月5日

H 04 L 12/56

7830-5K

H 04 L 11/20

1 0 2 Z

8226-5K

H 04 Q 11/04

E ※

審査請求 未請求 請求項の数 17 (全16頁)

⑭ 発明の名称 スイッチングシステム及びその構成方法

⑮ 特 願 昭63-102512

⑯ 出 願 昭63(1988)4月27日

優先権主張 ⑰ 昭62(1987)7月15日 ⑱ 日本(JP) ⑲ 特願 昭62-174603

⑳ 発 明 者 櫻 井 義 人 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

\textcircled{21} 発 明 者 大 槻 兼 市 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

\textcircled{22} 発 明 者 郷 原 忍 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

\textcircled{23} 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

\textcircled{24} 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1 発明の名称

スイッチングシステム及びその構成方法

2 特許請求の範囲

1. ヘッダ部と情報部から成る固定長のセルを用いて、複数の入ハイウェイと複数の出ハイウェイ間で通信情報を該ヘッダ部に含まれる情報に基づき交換するスイッチングシステムであって、複数の入ハイウェイを時分割多重し、到着したセルをメモリ手段に蓄込み、これを適当な順序で読み出し、多重分離し、複数の出ハイウェイに振り分けることによつてスイッチング動作およびバッファリング動作を行うスイッチングシステムにおいて、前記メモリ手段の空きアドレスを格納しておく第2のメモリ手段と、該第2のメモリ手段に格納された空きアドレス情報に応じて前記メモリ手段への蓄込みおよび読出しを制御する手段とを設けたことを特徴とするスイッチングシステム。

2. ヘッダ部と情報部から成る固定長のセルを用

いて、複数の入ハイウェイと複数の出ハイウェイ間で通信情報を該ヘッダ部に含まれる情報に基づき交換するスイッチングシステムであって、複数の入ハイウェイを時分割多重し、到着したセルをバッファメモリ(以下メインバッファと称する)に蓄込み、これを適当な順序で読み出し、多重分離し、複数の出ハイウェイに振り分けることによつてスイッチング動作およびバッファリング動作を行うスイッチングシステムにおいて、メインバッファの空きアドレスを格納しておくFIFO(First In First Out)バッファ(アイドルアドレスFIFOと称する)と、出ハイウェイ対応に、メインバッファへの蓄込みおよび読出しを制御する手段とを設け、メインバッファへのセルの蓄込み時には、上記アイドルアドレスFIFOバッファのデータ出力から空きアドレスを取り出し、メインバッファからのセル読出時には、読出しが終ったアドレスを上記アイドルアドレスFIFOバッファのデータ入力へ戻す事を特徴とするスイッチングシステム。

3. 請求項2において、

上記制御手段は番込みが行なわれたメインバッファのアドレスをそのセルの宛先出ハイウェイ別に管理する機能を有し、出力したい任意の出ハイウェイ宛のセルを読み出す事を特徴とするスイッチングシステム。

4. 請求項2において、

上記メインバッファはランダム入力及びランダム出力が可能なメモリを用いた事を特徴とするスイッチングシステム。

5. 請求項2記載のスイッチングシステムであって、

出ハイウェイ毎に対応した2種類のレジスタの組(番込みレジスタおよび読出しレジスタ)を出ハイウェイの数と同数だけ上記制御手段内に設け、アイドルアドレスFIFOのデータ出力を、それぞれの番込みレジスタの入力端子およびメインバッファのデータ入力端子に接続し、上記複数の番込みレジスタの出力端子は、到着セルの宛先出ハイウェイ番号を選択入力とする

組および宛先出ハイウェイ毎のチェーン形式のバッファリングを行う事を特徴とするスイッチングシステム。

6. 請求項2記載のスイッチングシステムであって、

到着するセルには取扱い条件を区別するクラスが付与してあり、クラスによつてスイッチが保証するセルの廃棄率が異なるスイッチングシステムにおいて、

アップダウンカウンタを設け、ある特定のクラスのセルをメインバッファに番込んだ時は該アップダウンカウンタをカウントダウンし、読出した時はカウントアップし、該アップダウンカウンタのカウント値が零になった事を検出した場合は該クラスのセルのメインバッファへの番込みを禁止し、セルを廃棄する事を特徴とするスイッチングシステム。

7. 請求項5記載のスイッチングシステムであって、

到着するセルには取扱い条件を区別するクラ

セクタを介してメインバッファの番込みアドレス端子に接続し、メインバッファへのセル番込み時には、到着したセル自体と、次にそのセルの宛先と同じ宛先を持つセルが到着したときそのセルを番込むべきアドレス(次アドレス)とを組としてメインバッファの同一アドレスに番込み、更に、該次アドレスにより上記セルの宛先となる出ハイウェイに対応する番込みレジスタを更新し、

一方、メインバッファのデータ出力端子をそれぞれの読出しレジスタの入力端子と接続し、複数の読出しレジスタの出力端子は、出ハイウェイ毎の読出しタイミングを発生するカウンタ出力を選択入力とするセクタを介してメインバッファの読出しアドレス端子、およびアイドルアドレスFIFOのデータ入力に接続し、メインバッファからのセルの読出し時には、上記セル自体と次アドレスの組を読み出し、更に、該次アドレスにより該当ハイウェイに対応する読出しレジスタを更新することで、セルのスイッチン

スが付与してあり、クラスによつてスイッチが保証するセルのバッファリングによる遅延時間が異なるスイッチングシステムにおいて、

出ハイウェイの数と同数の番込みレジスタおよび読出しレジスタの組(アドレスポインタと称する)をクラスの数だけ設け、セルのメインバッファへの番込み時には、該セルに付与されたクラスに基づいて使用するアドレスポインタを選択する手段と、読出し時には、遅延時間に対する条件が最も厳しいクラスのアドレスポインタを選択して読出しアドレスを出力する手段と、該クラスのある出ハイウェイに対応するセルの待ちキューの有無を検出し、待ちキューが無かった場合は上記クラスの次に遅延条件が厳しいクラスのアドレスポインタを選択する手段を持つことを特徴とするスイッチングシステム。

8. 請求項2記載のメインバッファとアイドルアドレスFIFOとを同一チップ内に搭載したことを特徴とするスイッチングシステム用回路部品。

9. 請求項2記載のメインバッファとアイドルア

ドレスFIFOと制御手段とを同一チップ内に搭載したことを特徴とするスイッチングシステム用回路部品。

10. 請求項2記載のスイッチングシステムであつて、

出ハイウェイの数と同数のFIFOバッファ（アドレスFIFOと称する）を設け、メインバッファの空きアドレスを格納しておくアイドルアドレスFIFOバッファのデータ出力を、上記複数のアドレスFIFOそれぞれの入力端子および、メインバッファの書き込みアドレス入力に接続し、該複数のアドレスFIFOの出力端子は制御カウンタ出力を選択入力とするセレクタを介して、メインバッファの読出しアドレス端子、および、アイドルアドレスFIFOバッファのデータ入力に接続したことを特徴とするスイッチングシステム。

11. 請求項10記載のスイッチングシステムであつて、

到着するセルには取扱い条件を区別するクラ

ススイッチの入力端子それぞれへ接続し、上記ヘッダ駆動型時間スイッチとして請求項5記載のスイッチングシステムを用いることを特徴とするスイッチングシステムの構成方法。

13. ヘッダ部と情報部から成る固定長のセルを用いて、複数の入ハイウェイと複数の出ハイウェイ間で通信情報を交換するスイッチングシステムであつて、

入ハイウェイそれぞれに対応してセルの時間的順序をヘッダ情報に基づいて入れ換えるヘッダ駆動型時間スイッチを設け、その出力それぞれを1つのヘッダ情報に基づいてセルをハイウェイ間で空間的に入れ換えるヘッダ駆動型空間スイッチの入力端子それぞれへ接続し、上記ヘッダ駆動型時間スイッチとして請求項10記載のスイッチングシステムを用いることを特徴とするスイッチングシステムの構成方法。

14. 任意の数の入端子と、任意の数の出端子との間で通信情報を交換する、単位スイッチを複数個多段に接続して構成する3段リンク通路ス

スが付与してあり、クラスによつてスイッチが保証するセルのバッファリングによる遅延時間が異なるスイッチングシステムにおいて、

アドレスFIFOを1つの出ハイウェイに対してクラスの数だけの複数設け、セルのメインバッファへの書き込み時には、該セルに付与されたクラスに基づいて使用するアドレスFIFOを選択する手段と、読出し時には、遅延時間に対する条件がより厳しいクラスのアドレスFIFOを選択して読出しアドレスを出力する手段を有することを特徴とするスイッチングシステム。

12. ヘッダ部と情報部から成る固定長のセルを用いて、複数の入ハイウェイと複数の出ハイウェイ間で通信情報を交換するスイッチングシステムであつて、

入ハイウェイそれぞれに対応してセルの時間的順序をヘッダ情報に基づいて入れ換えるヘッダ駆動型時間スイッチを設け、その出力それぞれを1つのヘッダ情報に基づいてセルをハイウェイ間で空間的に入れ換えるヘッダ駆動型空間

スイッチにおいて、初段を構成する各単位スイッチ（1次スイッチ）の入回路数を整数 m 、出回路数を整数 r 、入回路速度と出回路速度の比を $1:x$ とし、中間段を構成する各単位スイッチ（2次スイッチ）の入回路数、出回路数をとともに整数 k 、入回路速度と出回路速度の比を $1:1$ とし、最終段を構成する各単位スイッチ（3次スイッチ）の入回路数を整数 r 、出回路数を整数 m 、入回路速度と出回路速度の比を $x:1$ とし、1次スイッチを k 個、2次スイッチを r 個、3次スイッチを k 個用い、1次スイッチの r 本の出回路を各2次スイッチへ1本ずつ接続し、2次スイッチの k 本の出回路を各3次スイッチへ1本ずつ接続する多段スイッチであつて、
$$r \geq 2 \times \lceil (m-1)/(x-1) \rceil - 1 + 1$$

（記号： $\lceil \cdot \rceil$ は、以上の最小の整数を表わす。）なる関係を満たすことを特徴とする多段通路スイッチ。

15. 上記通信情報を、ヘッダ部と情報部から成るパケットを用い、該パケットのヘッダ部に含ま

れる情報を参照して交換を行うことを特徴とする請求項14記載の多段通話路スイッチ。

16. 請求項14記載の多段通話路スイッチにおいて、 $r=2m-3$ 、 $x=2$ としたことを特徴とする多段通話路スイッチ。

17. 請求項14記載の多段通話路スイッチにおいて、 $r=m-2$ 、 $x=3$ としたことを特徴とする多段通話路スイッチ。

3. 発明の詳細な説明

(従来の技術)

本発明は、ルーティングのためのヘッダを有する固定長セルを用いて音声、データ等の時分割多重通信情報を交換するスイッチングシステムに係り、特に音声等の回線交換情報とデータ等のパースト交換情報を統合して交換するのに好適なスイッチングシステムに関する。

(従来の技術)

典型的な電話音声のビット速度(64Kb/s)のみならず、低速(数100b/s)データからビデオ信号(数Mb/s)までの、様々なビット速度、保

的に発生するデータを送るパースト交換モードの2つのモードを扱う事が出来るように、スイッチングのためのメモリと、待ち合わせのためのバッファメモリが設けられている。回線交換モード用セルは、実時間性を保証するためにバッファメモリを介さず、優先して取り扱い、一方パースト交換モード用セルは、バッファメモリで待ち合わせ、タイムスロットに空きがある時に処理される。

他の例として、特開昭59-135994号公報に示される「TDMスイッチングシステム」が挙げられる。本例では、回線交換モードとパースト交換モードの2種類の性質を持った通信を扱うという概念は明示されていないが、固定長セルを、バッファメモリを用いて時間的に入れ換える機能を有している。その際に、セルの待ち合わせとスイッチングは同一のバッファメモリを用いる。待ち合わせを實現するため、セルのバッファメモリへの書き込みアドレスを、ヘッダによつて知ることが出来る。そのセルの宛先別に格納しておく待ち行列手段が設けられている。

々な性質(パースト性、実時間性等)を持った通信を統合して取り扱い得る、柔軟かつ経済的なスイッチングシステムが求められている。

このような要求に対して、ルーティングのための情報を含んだヘッダを持つ固定長のセルを用いて、全ての情報を画一的にスイッチングする方法が、1つの有望な案である。例えば、本出願人により既に提案されている、論文「電子情報通信学会創立70周年記念総合全国大会(昭和62年)交換部門1832「回線/パケット統合通話路の検討」」に示されているスイッチングシステムは、その1つである。本例では、全ての通信情報を、セルと呼ばれる固定長ブロックを用いて転送する。そのスイッチングに当っては、ヘッダ駆動型の空間スイッチを基本とし、同一宛先を持つ複数のセルが空間スイッチ内で衝突するのを避けるため、入ハイウェイ毎に時間スイッチ機能設けた構成をとっている。更にその時間スイッチ機能には、電話音声のように実時間性が要求される回線交換モードと、遅延はある程度許されるが、パースト

(発明が解決しようとする課題)

固定長セルを用いてスイッチングを行なう場合、各セルの宛先が必ずしも平均的に分布していないため、同一宛先へ向けたセルが一時的に集中し、輻輳状態となつたり、メモリのオーバーフローによりセルが消失してしまう事が起こり得る。上記の、最初に挙げた、本出願人による論文では、輻輳状態回避のため待ち合わせのためのバッファメモリを、各宛先出ハイウェイ別に設けている。このバッファメモリは、セル全体を格納するもので、かつ、オーバーフローしないだけ多数のセルを格納できるものである必要があり、しかも、宛先毎に個別に設けなければならない。従つて、この構成では、大量のメモリを必要とするという問題がある。一方、2番目の例に挙げたスイッチングシステム(特開昭59-135994号)では、バッファメモリは全入ハイウェイに対し1つであり、バッファメモリのアドレスだけを記憶する待ち行列手段がセルの宛先別に複数設けられている。この構成では、比較的少ないメモリ量で各セルの宛先の

員りは吸収され得る。しかしながら、バッファメモリの書き込みアドレスは周期的に用いられるため、論理的にはバッファメモリは各宛先対応に周期的に分割されているのと同等であり、ある待ち行列の待ちが一定量を超えると、読み出されていないセルがまだ残っているにもかかわらず、同一書き込みアドレスが使われ、バッファメモリの上書きが起こる。このとき上書きされたセルは消失してしまうという問題がある。

本発明の目的は、上記従来例の問題点を解決し、メモリの大量使用をなくし、かつバッファメモリの上書きによってブロックが消失しないスワッピングシステムを提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、複数の入ハイウェイ（以下では単に入線と称する）を時分割多重し、到着したセルをバッファメモリ（以下メインバッファと称する）に書き込み、これを適当な順序で読み出し、多重分離し、複数の出ハイウェイ（以下では単に出線と称する）に振り分けることによつ

の容量は変わらない。

また、セルを読み出すまでは、そのセルが格納されているアドレスはアイドルアドレスFIFOに戻らないので、同一アドレスにセルが上書きされて、そこに格納されていたセルが消失してしまう事はない。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図においては、 n 本の入線が、直並列変換多重器101を介してメインバッファ105のデータ入力(DI)に接続され、メインバッファ105のデータ出力(DO)は、直並列変換多重器に接続され m 本の出線に分岐されている。直並列変換多重器101の出力のうち、セルのヘッダに相当する部分は、ヘッダ変換テーブル102の読出しアドレス端子(RA)に接続され、ヘッダ変換テーブル102のデータ出力(DO)のうち、新ヘッダ部分はメインバッファ105のデータ入力へ接続され、空き/使用中情報(空=0)部分はANDゲート109を介しメインバッファ

で交換動作を行うスワッピングシステムにおいて、メインバッファの空きアドレスを格納しておくFIFO(First In First Out)バッファ(アイドルアドレスFIFOと称する)と、使用中アドレスを出線対応に管理する手段を設け、メインバッファへのセルの書き込み時には、上記アイドルアドレスFIFOバッファのデータ出力から空アドレスを取り出し、メインバッファからのセルの読出し時には、読み出しが終ったアドレスを上記アイドルアドレスFIFOバッファのデータ入力へ戻す、アイドルアドレスチェーンを持つようにした。
〔作用〕

セルが到着し、これをメインバッファに書き込む際には、そのセルの宛先出線に関係なく、1つのアイドルアドレスFIFOから空きアドレスを得るため、メインバッファに空きがある限りメインバッファ内のどの領域でもセルを書き込む事ができる。到着するセルの宛先が特定の出線へ偏っていたとしても、その分は他の宛先へのセルが減少しているはずなので、必要となるメインバッファ

105の書き込みイネーブル入力(WB)へ接続され、出線番号部分はアドレスポインタ104の宛先出線番号入力(DEST)に接続される。ヘッダ変換テーブル102のデータ入力(DI)と書き込みアドレス(WA)は、図示していない制御系に接続されている。アイドルアドレスFIFO103のデータ出力(DO)はメインバッファ105のデータ入力(DI)とアドレスポインタ104の次書き込みアドレス入力(NWAD)へ接続され、空き表示出力(BPTY)はANDゲート109を介しメインバッファ105の書き込みイネーブル入力(WB)へ接続される。アドレスポインタ104の書き込みアドレス出力(WAD)はメインバッファ105の書き込みアドレス入力(WA)へ接続され、読出しアドレス出力(RAD)は、セクタ110を介してメインバッファ105の読出しアドレス出力(RA)とアイドルアドレスFIFO103のデータ入力(DI)に接続される。メインバッファ105のデータ出力(DO)のうち、次読出しアドレスに相当する部分はアドレスポインタ104

の次読出しアドレス入力(NRAD)へ接続され、それ以外の部分、即ちセル本体に相当する部分は、並列変換多重分離器106を介し、各出線へ分離される。制御カウンタ107の出力はアドレスポインタ104の読出しカウンタ入力(RACNT)へ接続される。空アドレスレジスタ111はセクタ110の入力へ接続される。アドレスポインタ104のキュー状態表示出力(STS)はセクタ110の選択入力と、アイドルアドレスFIFO103の書き込みイネーブル入力(WB)へ接続されている。

まず、メインバッファへのセルの書き込み動作を説明する。

各入線から到着したセルは、直並列変換多重器101で並列変換し、セルを1個ずつ逐次取扱うことを容易にする。入線から到着するセルの構造の例は、第2図(c)に、直並列変換多重の概念図は第4図に示してある。直並列変換多重器は、一般にパレルシフトと呼ばれる公知の回路を用いて構成できる。第2図(c)に示すように、セルのヘッダ

には論理チャネル番号が書き込まれており、この番号でヘッダ変換テーブル102にアクセスすることでそのセルの出線側での新しい論理チャネル番号、セルが空きか使用されているかの情報、セルの宛先出線番号を得る。これらの情報は、呼設定時に制御系からのアクセスでテーブル内に書き込まれる。第2図(b)にヘッダ変換テーブル102の出力の例を示す。

セルの宛先出線番号はアドレスポインタ104へ入力され、これに応じて適当な書き込みアドレスが得られる。該書き込みアドレスは、アイドルアドレスFIFO103から予め入力されたものである。該書き込みアドレスを用いてセルはメインバッファ105へ書き込まれる。尚、セルが空きセルである場合、もしくはアイドルアドレスFIFOが空である場合(即ちメインバッファに空きが無い場合は、ANDゲート109の出力が1となるためメインバッファ105には書き込みは行われず、また、アイドルアドレスFIFOの読出しクロック(RCK)も1となり、空アドレスの出力も行われない。

次に読出し動作を説明する。セルの読出しは、制御カウンタ107が発生する数に応じてアドレスポインタ104から読出しアドレスを得て、これをメインバッファの読出アドレスとすることでセルを読出す。制御カウンタの値は、出線番号に対応する。即ち各出線毎に順番に1つずつセルが読出されるわけである。読出しアドレスとして使用したアドレスは、アイドルアドレスFIFO103のデータ入力(DI)へ送られ、再度書き込みアドレスとして用いられる。尚、ある出線に宛てたセルが、メインバッファ内に1つも存在しないときは、キュー状態表示出力(STS)が出力され、セクタ110によつて、メインバッファ105の読出しアドレスとして、空セルアドレスレジスタ111に格納されているアドレスが選択される。該アドレスに相当するメインバッファの内容は常に空きセルとしてある。

アイドルアドレスFIFOのデータ出力は、セルと一緒にメインバッファ内に格納する。これはそのセルの宛先出線と同じ宛先の、次のセルの格納

アドレスを示すためである。詳しい動作は第3図を用いて次に述べる。尚、メインバッファ内のセル構造を第2図(c)に示す。

次に第3図を用いて、アドレスポインタ104の構成と動作を説明する。出線番号入力(DEST)は、出線番号デコーダ301の入力と書き込みアドレスセクタ308の選択入力に接続される。出線番号デコーダ301のm本のデコード出力は、それぞれm個の書き込みレジスタ(WR₁~_m)302~303のクロック入力に接続される。外部のアイドルアドレスFIFOから入力される次書き込みアドレス(NWAD)は各書き込みレジスタの入力に接続され各書き込みレジスタの出力は書き込みアドレスセクタ308を介して、書き込みアドレス出力(WAD)となる。一方、制御カウンタ入力(RACNT)はデコーダ311と読出しアドレスセクタ309の選択入力に接続され、デコーダ311のm本のデコード出力は、それぞれm個の読出しレジスタ(RR₁~_m)304~305のクロック入力として、ゲートを介して接続される。外部からの次読出フ

ドレス入力(NRAD)は、各読出しレジスタの入力に接続され、各読出しレジスタ出力は読出しアドレスセクタ309を介して読出アドレス(RAD)となる。不一致検出器306-307はそれぞれ対応する書き込みレジスタと読出しレジスタの出力を入力とし、そのそれぞれの出力は不一致情報セクタ310を介して、キュー状態表示出力(STS)となる。また、不一致検出器の出力は上記ゲートの一方の入力にも接続される。

出願番号入力(DEST)によりm個の書き込みレジスタの出力のうち、その出願番号に相当するものを書き込みアドレスセクタ308で選択し、書き込みアドレス出力(WAD)とする。このとき、同時に読出番号デコード301のデコード出力により、上記に相当する書き込みレジスタの保持する値を、アイドルアドレスFIFOから入力される(NWAD)値に更新する。従って、更新直前でのNWADの値は、この時書き込みを行おうとしているセルの宛先出願番号と同じ宛先のセルが次に入ってきた時の書き込みアドレスに相当する。そのため、このNW

成る。書き込みカウンタ502は、書き込みアドレス(WA)を出力するカウンタで、メモリ501のアドレスの数だけカウントするリングカウンタである。読出しカウンタ503は、読出しアドレス(RA)を出力するカウンタで、メモリ501のアドレスの数だけカウントするリングカウンタである。両カウンタの値が同一になった時はメモリが空になった状態であるから、これを一致検出器504で検出して空き出力(EMPTY)を出す。以上のように、全体としてはFIFO機能を持つものである。

次に第6図を用いて他の実施例を説明する。第6図に示すスイッチングシステムは、基本的には第1図に示すものと同じ原理によるものであるが、第1図のものに更に優先制御機構を付加してある。第6図において第1図に示す構成要素と同一のものは同一の符号を付与しており、説明は省略する。第1図との最も大きな相違は、アドレスポイントが複数ある点である。ここでは優先クラスとして3つのクラスがあると仮定する。それぞれクラス

A Dの値をこの時書き込みを行おうとしているセルと一緒にメインバッファに格納しておけば、このセルを読み出した時に、同じ出願へ宛てたセルを次に読み出す時は、どのアドレスから読み出せば良いのかを知ることができる。セルの読出し時は、制御カウンタの値を選択入力とする読出しアドレスセクタにより読出しレジスタ出力を選択し、そのレジスタの保持値を読出しアドレス出力(RAD)として出力し、これを読出しアドレスとして用いる。同時にデコード311の出力によって、この時選択された読出しレジスタの保持値を更新する。このときの読出しレジスタの入力は、メインバッファから読出される、上記書き込み時にセルと一緒に格納した次読出アドレスであるので、同じ出願へ宛てた次のセルのアドレスを読出しレジスタに保持させる事ができる。

第5図はアイドルアドレスFIFO103の構成を示す。アイドルアドレスFIFO103は、メモリ501、書き込みカウンタ(WCNT)502、読出しカウンタ(RCNT)503、一致検出器504から

1(C1)、クラス2(C2)、クラス3(C3)と称する。

第6図のヘッダ変換テーブル102の出力には、クラス表示が含まれている。クラス表示出力は、クラスデコード(CDEC)605の入力と書き込みクラスセクタ(WSEL)606の選択入力に接続される。クラスデコード(CDEC)605の各デコード出力は、それぞれのクラスに対応するアドレスポイントの書き込みアドレスイネーブル入力(WAEN)へ接続される。クラスデコード(CDEC)605のデコード出力のうち、C2出力はアップダウンカウンタ608の出力とANDをとってC2'とする。クラスデコード(CDEC)605のC1、C3出力とC2'のOR出力をメインバッファ105の書き込みイネーブル(WB)に接続する。各クラスに対応するアドレスポイント、即ちアドレスポイント(クラス1)601、アドレスポイント(クラス2)602、アドレスポイント(クラス3)603の各キュー状態表示出力(STS)は読出アクセス制御604の入力に接続される。読出アクセス制御の入力と出力

の関係は一例を第7図に示す。読出アクセス制御604の出力は読出クラスセクタ(RSEL)607とデコーダ(REDRC)609の入力に接続される。デコーダ(REDRC)609のデコード出力はそれぞれ対応するクラスのアドレスポインタの読出アドレスイネーブル入力(RAEN)に接続されるとともに、デコード出力のORがアイドルアドレスFIFOの番込みイネーブル入力(WB)に接続される。尚、アップダウンカウンタ608はクラス2の読出アドレスイネーブル入力(RAEN)がアップ入力、C2'がダウン入力である。ここで各クラスの定数は、クラス1が遅延時間が小さく、セルの紛失率も小さいもの、クラス2が遅延時間が小さいが、セル紛失率はやや大きいもの、クラス3が遅延時間はやや大きいセル紛失率が小さいものである。クラス2は紛失率が他のクラスよりやや大きくても良いので、使用可能なメインバッファの容量を制限する。具体的には、アップダウンカウンタ608に使用を許す容量をセル数換算でセットする。アップダウンカウンタ608は、番込

れメインバッファの番込みアドレス(WA)として用いられる。一方、読出しの場合は、先に述べたように、読出アクセス制御604が、各クラスの各出線対応の待ちキューの有無を監視して、待ちキューがあるものの中で最も優先順位の高いものから出力するように制御する。具体的には、デコーダ609のデコード出力が、読出しを行うクラスのアдресポインタを指示し、読出しクラスセクタ607が、読出しを行うべきクラスのアдресポインタが出力した読出しアドレス出力を選択し、メインバッファの読出しアドレスとする。

次に、第8図を用いて別の実施例を説明する。第8図の構成は第1図のヘッダ変換テーブル102が無いものである。この場合は、入線から到着するセルの構造が、第9図のようになっている。このような形式はスイッチの前段に入線毎にヘッダ変換テーブルを設ける構成に適している。また、後述べる多段構成のスイッチを考えたとき、各段のスイッチでそれぞれヘッダ変換をせずに、前もって一括してヘッダ変換を行う事ができるとい

み時にダウン、読出し時にアップするので、このカウンタが0になった時は制限値一杯までメインバッファを使用している事を示す。この時はC2'出力はLとなりこのクラスの新たな番込みは行なわれない。従って、この時到着したクラス2のセルは廃棄される。一方、遅延時間については、クラス1が一番小さく、クラス3が一番大きくなるように読出アクセス制御で読出しの優先順位付けを行う。具体的には出線毎に、クラス1のセルがメインバッファ内にある時はまずそれを読出し、クラス1のキューが無くなったらクラスのセルを読出し、クラス2のキューも無くなったらクラス3のセルを読出す、というように行う。

セルが到着するとヘッダ変換テーブル102の出力によりそのセルが属するクラスが識別でき、クラスデコーダ605によりそのクラスに対応するアドレスポインタへ番込みアドレスイネーブル出力(WAEN)が出される。これに対してアドレスポインタが出力した番込みアドレス出力(WAD)は番込みクラスセクタ(WSEL)606で選択さ

う特徴がある。

尚、ここまで述べた各実施例において、メインバッファとアイドルアドレスFIFO、または、メインバッファとアイドルアドレスFIFOとアドレスポインタを、集積回路化し、同一チップ上に搭載すれば、小形のスイッチが実現できるとともに、以下に述べる多段構成の実現も容易となる。

次に、第10図および第11図を用いて、多段構成のスイッチ(多段通話路スイッチ)の実施例を説明する。まず、具体的な実施例の説明に先だつて、多段スイッチのノンブロック条件について説明する。

従来、回線交換におけるノンブロックの多段通話路スイッチとしては、クロス形が良く知られている。(秋丸著「現代交換工学概論」オーム社昭和54年PP.136~137 およびシー・クロス：アスタディ・オブ・ノン・ブロック・ネットワークス、ベル・システム・テクニカル・ジャーナル 第32巻第3号(1953年)(C.Clos: A Study of Non Blocking Networks, Bell

System Technical Journal vol.52, No.3(1953))

クロス形多段スイッチは、1次スイッチの入回線数を m 、出回線数を r 、2次スイッチの入回線数、出回線数をともに k 、3次スイッチの入回線数を r 、出回線数を m とし、1次スイッチを k 個、2次スイッチを r 個、3次スイッチを k 個用い、1次スイッチの r 本の出回線を各2次スイッチに1本ずつ、2次スイッチの k 本の出回線を各3次スイッチに1本ずつ接続する多段スイッチ構成において、 $r \geq 2m-1$ (クロスの式)を満たすように構成した3段のスイッチである。

尚、ここで言うノンブロックとは、スイッチの入回線、出回線双方に空き容量が存在する場合には、その間を接続するパスが必ず存在する、ということである。

上記クロス形スイッチは、単一の速度を持つ複数の呼を扱う場合にはノンブロックである。ところが、それぞれの呼が任意の速度を持つ場合には、単位スイッチ間を結ぶリンクの使用効率が落ちるため、ノンブロックとはならない。それぞれの呼

りない容量を残して使われている状態($x-1+\Delta$)の $\Delta \rightarrow 0$ の極限値を示す。

従って、「 $(m-1)/(x-1)$ 」は、リンクに空き容量はあるのに、入回線1回線分は収容できないという状態、即ち、各リンクが最も効率の悪い状態で使用されている状態でのリンクの本数を表わしている。尚、記号 $\lceil \cdot \rceil$ は、以上の最小の整数を表わす。ここから1本のリンクを除いた

「 $(m-1)/(x-1)$ 」-1本のリンクがこのような状態であり、出回線側も入回線側と全く同様であるから、リンク本数が上記の2倍、

即ち、 $2 \times \lceil (m-1)/(x-1) \rceil - 1$ 本である時新たに入回線1回線分はリンクに収容できず、更にもう1本の収容可能リンクがあれば、即ち $2 \times \lceil (m-1)/(x-1) \rceil - 1 + 1$ であれば、入回線側(1次リンク)、出回線側(2次リンク)双方で、入回線1回線分以上の空き容量を共に持つリンクが必ず存在する。

したがって、リンク本数を r としたとき、

$r \geq 2 \times \lceil (m-1)/(x-1) \rceil - 1 + 1$ を満たすな

の速度が異なると、例えば、低速の呼がリンク容量の一部を占有しているために、そのリンクにはまだ容量に空きがあるにもかかわらず、高速の呼はそこへは入れないという、いわゆる虫喰い現象が起こる。このため、リンクの使用効率が落ち、上記のクロスの式を満たしていても、ブロックが起きてしまう。

この問題は、多段スイッチのリンクを、空間的に増やす、つまりリンク本数を増やすだけでなく、時間的に増やす、つまりリンク速度を上げることにより解決される。具体的には、出入回線数とリンク数は、それぞれ前記と同じく m 、 r とするが、出入回線の速度を1としたとき、リンクの速度は x 倍とし、 $r \geq 2 \times \lceil (m-1)/(x-1) \rceil - 1$ を満たすようなスイッチ構成とする。

上式で、右辺の $(m-1)$ は、 m 本の入回線のうちの $(m-1)$ 本が使用中である状態を示す。一方、 $(x-1)$ は、リンク速度比 x から、入回線速度比である1を引いたものであり、あるリンクがその速度のうちあと入回線1回線分に微小量 Δ だけ足

らば、このスイッチはブロックすることがない。

以下、本発明の一実施例を図10図により説明する。図10図に示すように、出入回線数 n に対し、 $n=mk$ である。初段スイッチとして、入端子数 m 、出端子数 $2m-3$ の単位スイッチを k 個並べた。また、中間段スイッチとして、出入端子数 k の単位スイッチを $2m-3$ 個、終段スイッチとして、入端子数 $2m-3$ 、出端子数 m の単位スイッチを k 個、それぞれ並べた。それぞれの単位スイッチ間の接続は、図10図に示すように、初段スイッチを構成するある単位スイッチは、中間段スイッチを構成する全ての単位スイッチと、中間段スイッチを構成するある単位スイッチは、終段スイッチを構成する全ての単位スイッチと接続されるようになっている。先に述べたノンブロック条件の式、

$r \geq 2 \times \lceil (m-1)/(x-1) \rceil - 1 + 1$ において、 $x=2$ 、 $r=2m-3$ に相当するもので、等号が成立する。

各段の単位スイッチとしては、既に第1図、第

6図、第8図で説明したものや、第12図、第16図で説明するものが適用できる。

次に、第11図に多段通路スイッチのもう1つの実施例を示す。第10図の実施例が、先に述べたノンブロック条件の式、

$r \geq 2 \times \lceil (m-1)/(x-1) \rceil - 1 + 1$ において、 $x=2$ 、 $r=2m-3$ の例であつたのに対し、本例では $x=3$ 、 $r=m-2$ の例である。この場合も等号が成立する。構成の考え方は、第10図と同様である。各単位スイッチの構成も、具体的には第1の実施例と同様であるので詳細な説明は省略する。

以上の実施例によれば、任意の通信速度を持つ呼を、ノンブロックで交換できる多段スイッチが必要最小限の構成にて実現できる。

次に第12図にて、単位スイッチに関する他の実施例を説明する。第12図では、構成要素はアドレスFIFO群1201を除いては第1図と同じであり、接続関係が若干異なる。第12図では、アイドルアドレスFIFO103のデータ出力(DO)は、そのままメインバッファ105の書き込みアドレス

セレクタ(BPSEL)を介して、キュー状態表示出力(STS)となる。

本実施例では、セル書き込み時はアイドルアドレスFIFOから空アドレスを取出し、これをそのままメインバッファの書き込みアドレスとする。同時に該アドレスを、アドレスFIFO群1201の中のそのセルの宛先出線番号に対応するFIFOバッファに書き込む。読出し時は、各FIFOバッファから順にアドレスを取出し、これを読出しアドレスとしてメインバッファからセルを読出す。FIFOバッファが空の時はEP出力が出される。

本構成では、出線当りのバッファ可能セル数がアドレスFIFO群の中のFIFOバッファの容量で制限されてしまうが、この容量を充分大きめにとっておけば、全体としては本構成は簡単な構成である。

第14図はスイッチ規模の拡張の一実施例である。ヘッダ駆動形時間スイッチ1401~1402とヘッダ駆動形空間スイッチ1403から成り、入線に対応してヘッダ駆動形時間スイッチ1401~

(WA)に接続される。また、メインバッファ105にはセル本体のみを書込み、次アドレス情報は書き込まない。第13図を用いて本構成のポイントであるアドレスFIFO群1201について説明する。

出線番号入力(DEST)は出線番号デコード(WDEC)1301に接続され、そのm本のデコード出力はそれぞれm個のFIFOバッファ1303~1304の書き込み信号(WCK)入力に接続される。FIFOバッファ1303~1304のデータ入力は、第12図のアイドルアドレスFIFOのデータ出力である。FIFOバッファ1303~1304のデータ出力は読出アドレスセレクタ1305を介して読出アドレス出力(RAD)となる。読出アドレスセレクタ1305は制御カウンタ入力(RACNT)を選択入力とする。制御カウンタ入力(RACNT)は更に読出順序デコード1302の入力と空状態セレクタ(EPSEL)1306の選択入力に接続される。読出順序デコード1302のデコード出力は各FIFOバッファの読出し信号(RCK)入力に接続される。各FIFOバッファの空き状態信号(EP)は空状態

1402を設け、その各出力をヘッダ駆動形空間スイッチの入力とする。

ここで、ヘッダ駆動形時間スイッチというのは、ヘッダ情報に基づいてセルの時間順序を入れ換えるもので、具体的には、既に述べた第1図、第6図、第8図、第12図等のスイッチングシステムが適用できる(但し、多重、多重分離部を除いたもの)。これらの既に述べたスイッチングシステムでは、セルの読出しは制御カウンタの値に基づいて行い。そこで、第14図のn個のヘッダ駆動形時間スイッチの制御カウンタの値が常に全て異なるようにしておけば(例えば1つずつずらしておけば)、同時に読出されたセルは全てその宛先出線番号が異なる。従つて、ヘッダ駆動形空間スイッチ1403では、同時に入力したセルの宛先が同じであるための衝突が起こらない。このため、ヘッダ駆動形空間スイッチは第15図に示すような簡単な構成で良い。第15図では、各出入線に対応してタイミング回路1501~150n、セレクタ1511~151n、選択アドレス発生部1521~

152nを設け、各入線のヘッダ情報に相当する部分はそれぞれ全入線分を選択アドレス発生部に接続し、各入線のヘッダ以外の部分はタイミング回路を介して各出線対応のセレクトタそれぞれへ接続する。同時に入力したセルの宛先は全て異なるので、各選択アドレス発生部には、自分のところに相当する宛先を持ったヘッダ情報が1つだけ来る。そのヘッダ情報が来た入線に相当する選択アドレスを発生すればセレクトタにより宛先通りの選択がなされ、全体としては空間スイッチ動作を行った事になる。

第16図は第12図の構成に優先制御機構を付加したものである。ヘッダ変換テーブル102のデータ出力にクラス表示出力があり、これがアドレスFIFO群1401のクラス入力(CLS)に接続される。

第17図は優先制御機能付きアドレスFIFO群の構成である。第13図と同様な部分の説明は省略する。本実施例では、読出順序に優先、非優先の2クラスを設けている。そこで、各出線対応に

2つずつのFIFOバッファ(例えば1702と1704)を設けている。FIFOバッファの書き込み信号入力(WCK)は出線番号デコーダ1301のデコード出力と、クラス情報デコーダ1701のデコード出力のAND条件をとっている。また読出し信号入力(RCK)は読出し順序デコーダ1302のデコード出力と各FIFOの空状態表示出力(EP)とのANDをとっている。この構成によれば、セルの書き込み時は、書き込みアドレス(WAD)はその出線番号とクラスに応じたFIFOバッファへ格納され、セルの読出し時には、読出し優先側のFIFO(例えば1702)が空になるまでは常にこちらのFIFOから読出しアドレスが出力され、このFIFOが空になると始めてもう一方のFIFO(例えば1704)が読み出される。

本実施例は遅延時間に関する優先度を2クラス設けて説明したが、更にFIFOバッファをクラス毎に増やして、多数のクラスに対応する事が出来る。また、FIFOバッファの容量を制御することによって、紛失率の違いによるクラス分けにも適

用できる。

[発明の効果]

本発明によれば、メインバッファからセルが読出される前に新たなセルが書き込まれることによるセルの消失が生じない。また、全ての出線に対してメインバッファの全領域が共通に使えるので、特定の出線へのセルの宛先の偏りが生じて、メモリ容量を効率良く使える。従ってセルの廃棄が起きにくい。このことは特に、瞬時的に同一宛先のセルが集中して到着する、バースト性の強い通信を扱う際に効果がある。

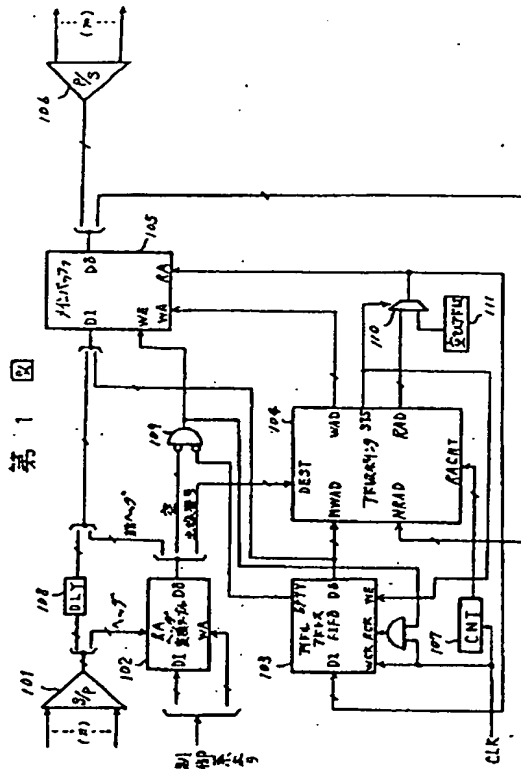
4. 図面の簡単な説明

第1図は本発明の一実施例の機能ブロック図、第2図は第1図の実施例で用いるセルの構造の説明図、第3図は第1図のアドレスポインタの詳細機能ブロック図、第4図は第1図の直並列変換多重器の動作説明図、第5図は第1図のアイドルアドレスFIFOの詳細機能ブロック図、第6図は本発明の一実施例の機能ブロック図、第7図は第6図の読出アクセス制御の論理の説明図、第8図は

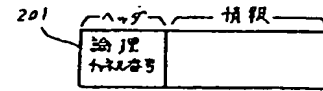
本発明の一実施例の機能ブロック図、第9図は第3図の実施例で用いるセルの構造の説明図、第10図、第11図は本発明の一実施例の説明図、第12図は本発明の一実施例の機能ブロック図、第13図は第12図のアドレスFIFO群の詳細機能ブロック図、第14図は本発明の一実施例の説明図、第15図は第14図の空間スイッチの機能ブロック図、第16図は本発明の一実施例の機能ブロック図、第17図は第16図のアドレスFIFO群の詳細機能ブロック図である。

101…直並列変換多重器、102…ヘッダ変換テーブル、103…アイドルアドレスFIFO、104…アドレスポインタ、105…メインバッファ、106…直並列変換多重分離器、107…制御カウンタ、302…書き込みレジスタ、304…読出レジスタ、306…不一致検出器、308…書き込みアドレスセレクトタ、309…読出しアドレスセレクトタ、604…読出アクセス制御、1201…アドレスFIFO群、1303…FIFOバッファ。

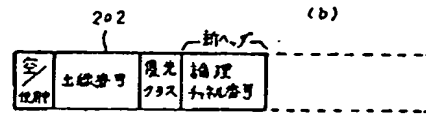
代理人弁護士 小川 勝 男



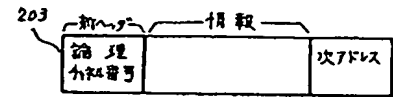
第 2 図 (a)



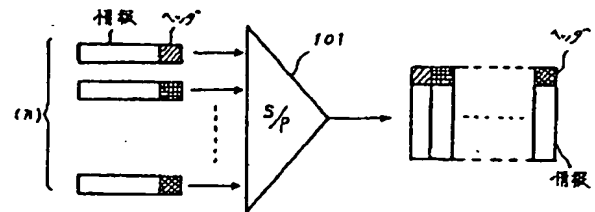
(b)



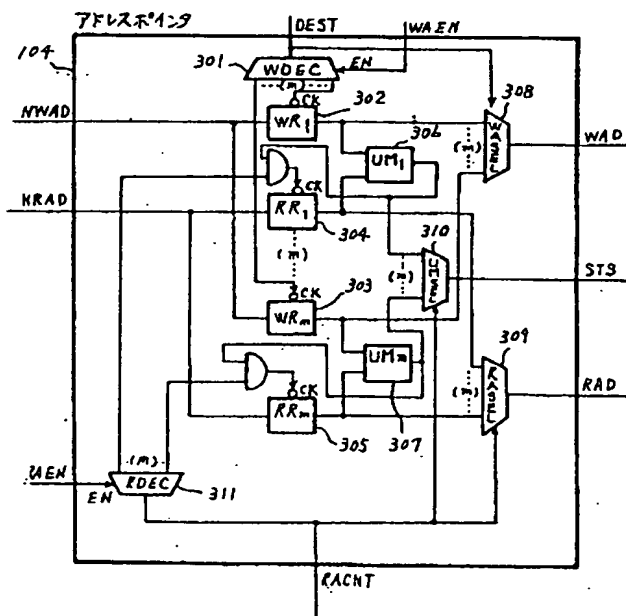
(c)



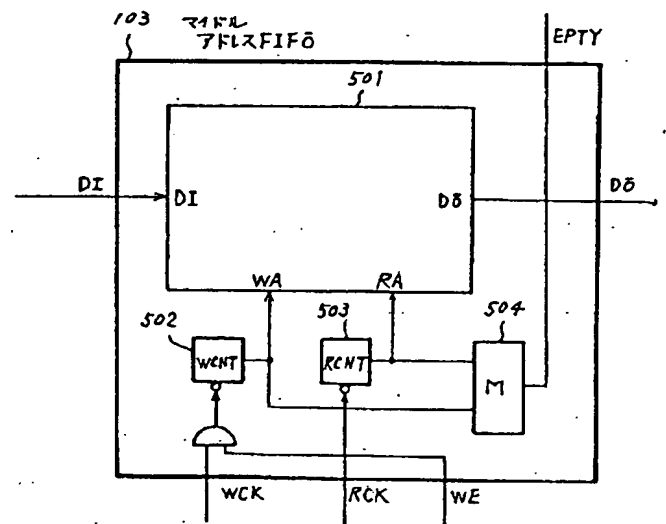
第 4 図

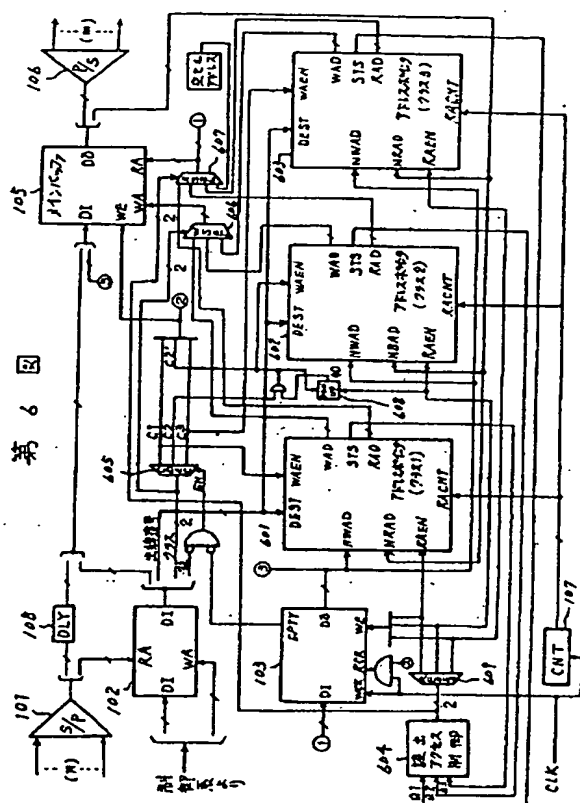


第 3 図



第 5 図



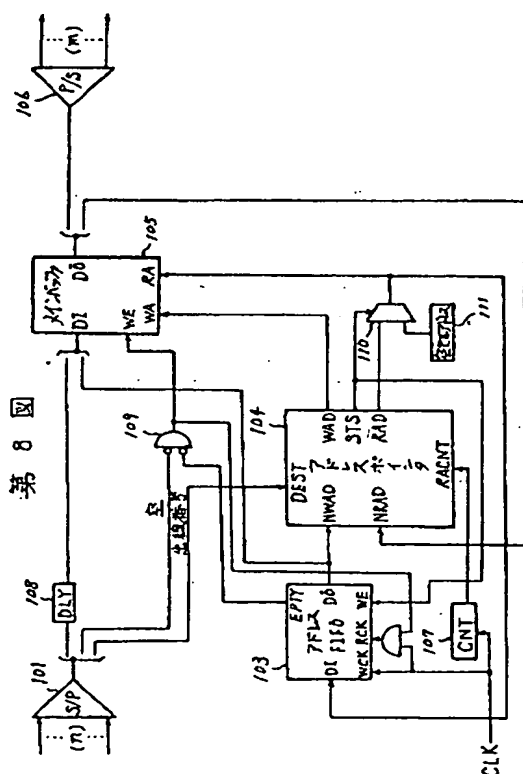


第 7 図

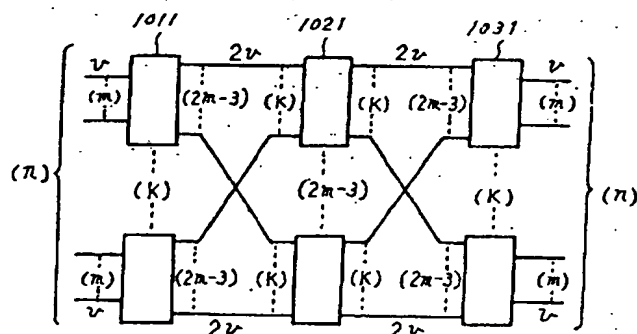
入 力			出力	(選式クラス)
Q1	Q2	Q3		
1	X	X	0 0	(C1)
0	1	X	0 1	(C2)
0	0	1	1 0	(C3)
0	0	0	1 1	(アイドル)

第 9 図

スイッチ内ヘッダ			情報	
区 分	優先 クラス	出 線 号	呼 称 列 子	

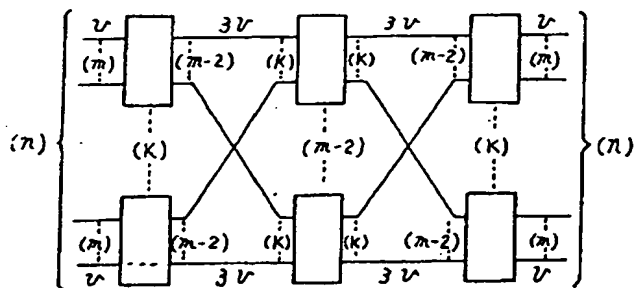


第 10 図

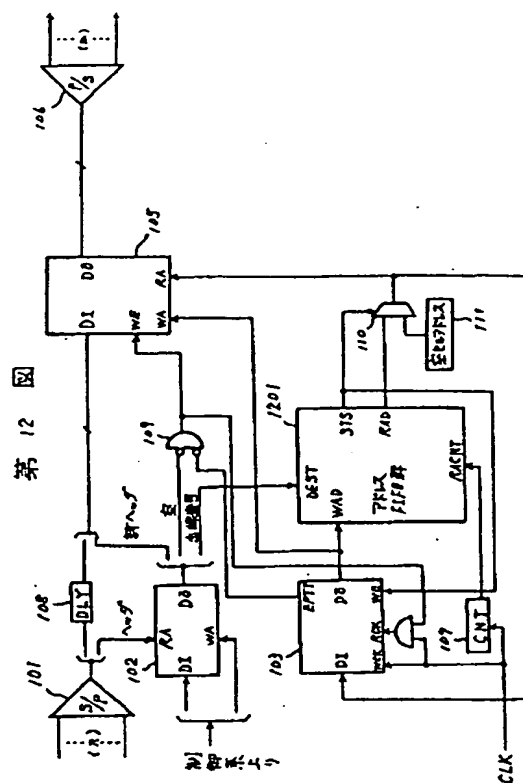


- 1011 --- 単位スイッチ (1次スイッチ)
- 1021 --- 単位スイッチ (2次スイッチ)
- 1031 --- 単位スイッチ (3次スイッチ)

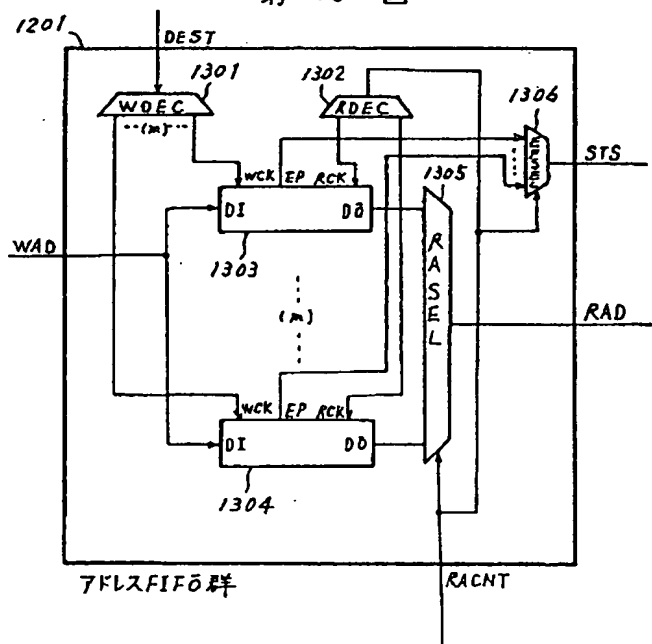
第 11 図



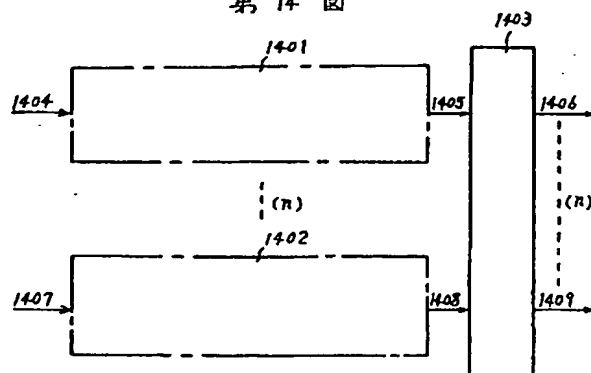
第 12 図

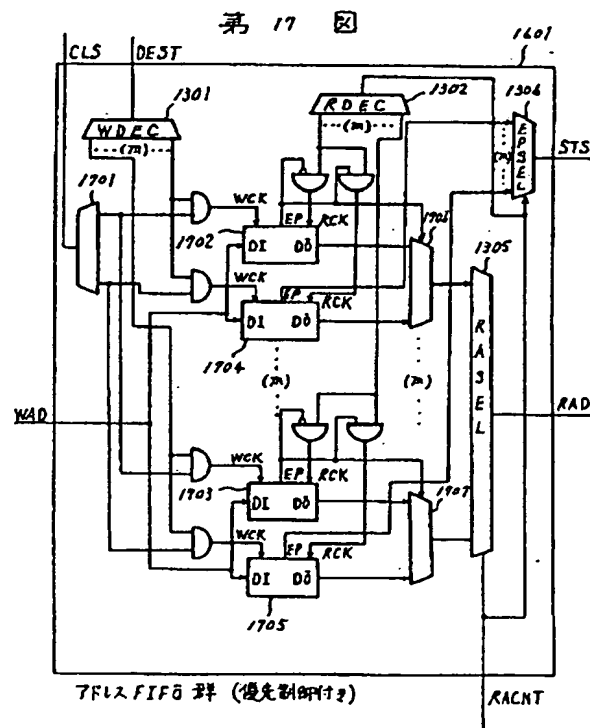
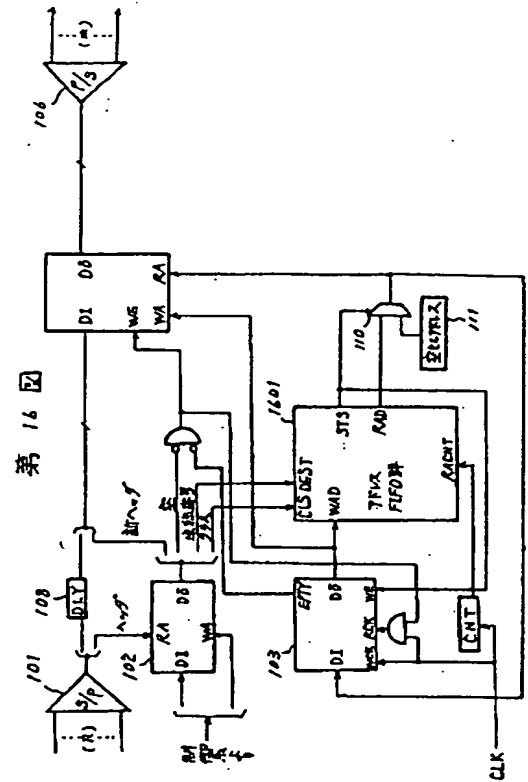
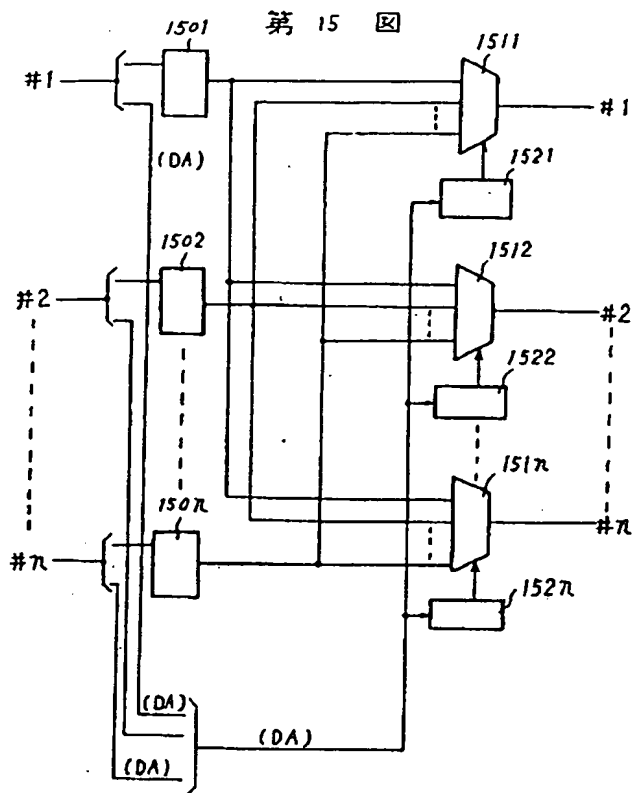


第 13 図



第 14 図





第1頁の続き

⑤Int.Cl.³

H 04 Q 11/04

識別記号 庁内整理番号

優先権主張 ④昭62(1987)10月9日④日本(JP)④特願 昭62-253661

④昭62(1987)11月11日④日本(JP)④特願 昭62-283249

⑦発明者	森	誠	神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内
⑦発明者	堀	晃	神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内
⑦発明者	加藤	孝雄	神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内
⑦発明者	桑原	弘	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内